

На правах рукописи



МОСИН Сергей Геннадьевич

**МЕТОДОЛОГИЯ АВТОМАТИЗАЦИИ
ТЕСТОПРИГОДНОГО ПРОЕКТИРОВАНИЯ
АНАЛОГО-ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ СХЕМ**

Специальность 05.13.12 – Системы автоматизации проектирования
(технические системы)

А В Т О Р Е Ф Е Р А Т
диссертации на соискание ученой степени
доктора технических наук

Рязань–2021

Работа выполнена на кафедре «Прикладная математика» в Федеральном государственном автономном образовательном учреждении высшего образования «Казанский (Приволжский) федеральный университет» (КФУ).

Научный консультант: **Ланцов Владимир Николаевич**, д-р техн. наук, профессор, профессор кафедры «ВТ и СУ» ФГБОУ ВО «Владимирский государственный университет имени Александра Григорьевича и Николая Григорьевича Столетовых» (ВлГУ), г. Владимир

Официальные оппоненты: **Евтушенко Нина Владимировна**, д-р техн. наук, профессор, ФГБУН Институт системного программирования им. В.П. Иванникова Российской академии наук, главный научный сотрудник, г. Москва

Коротков Александр Станиславович, д-р техн. наук, профессор, ФГАОУ ВО «Санкт-Петербургский политехнический университет Петра Великого», и.о. директора института электроники и телекоммуникаций, г. Санкт-Петербург

Курейчик Владимир Викторович, д-р техн. наук, профессор, ФГАОУ ВО «Южный федеральный университет», заведующий кафедрой Систем автоматизированного проектирования, г. Таганрог

Ведущая организация: федеральное государственное автономное образовательное учреждение высшего образования Санкт-Петербургский государственный электротехнический университет «ЛЭТИ» им. В.И. Ульянова (Ленина)

Защита диссертации состоится «14» апреля 2022 г. в 12 часов 00 минут на заседании диссертационного совета Д 212.211.02, созданного на базе ФГБОУ ВО «Рязанский государственный радиотехнический университет им. В.Ф. Уткина» по адресу: 390005, г. Рязань, ул. Гагарина, д. 59/1.

С диссертацией можно ознакомиться в научно-технической библиотеке ФГБОУ ВО «Рязанский государственный радиотехнический университет им. В.Ф. Уткина», и на сайте www.rsreu.ru.

Автореферат разослан «___» января 2022 года.

Отзывы на автореферат в двух экземплярах, заверенные печатью, просим направлять по адресу университета: 390005, г. Рязань, ул. Гагарина, д. 59/1, ученому секретарю диссертационного совета Д 212.211.02.

Ученый секретарь
диссертационного совета
д-р техн. наук, доцент



Д. А. Перепелкин

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность работы. Глобальный переход развитых экономик к четвертой промышленной революции (Индустрия 4.0) ориентирован на внедрение и активное использование ключевых цифровых технологий, эффективность использования которых во многом определяется надежностью и качеством аппаратных платформ на основе современных интегральных схем (ИС). Появление новых интегральных технологий стало определяющим фактором при разработке эффективной микроэлектронной аппаратуры для широкого спектра приложений в различных отраслях промышленности. Современные заказные ИС, реализуемые по глубоко субмикронным и нано размерным интегральным технологиям, обладают высокой структурной и функциональной сложностью – состоят из сотен миллионов транзисторов и имеют несколько тысяч входных и выходных контактов. Проектирование таких ИС и технологическая подготовка их массового производства требуют существенных временных и стоимостных затрат. Возникновение производственных дефектов на пластине ИС, которое носит случайный характер, приводит к появлению неисправных ИС и снижению показателя выхода годных изделий, что определяет повышение себестоимости производства исправных ИС, а, самое главное, – снижает надежность электронных устройств. Производителям ИС важно не просто отбраковывать неисправные ИС, а определять и устранять причины их возникновения, чтобы обеспечивать высокое качество и надежность с минимальными затратами.

Тестирование и диагностика обнаруживаемых неисправностей – наиболее трудоемкие и дорогостоящие этапы при создании ИС, на которые приходится порядка 40–60 процентов от общих затрат, требуемых на проектирование и реализацию устройства. Тестирование позволяет обнаруживать производственные дефекты в ИС, а диагностика определять и устранять причины их возникновения, обеспечивать высокие требования по надежности и качеству функционирования проектируемых схем, устанавливать соответствие выходных характеристик их спецификациям.

В условиях роста сложности производимых ИС традиционные методы их тестирования и диагностики становятся неприемлемыми в силу экспоненциальной зависимости сложности и времени тестирования от количества внешних контактов схемы, а конструктивные особенности корпусов ИС ограничивают доступ ко всем внутренним узлам схемы для исчерпывающего тестирования. Для аналого-цифровых ИС (АЦИС), объединяющих на одном кристалле аналоговую и цифровую подсхемы, тестирование связано с дополнительными сложностями – различные особенности функционирования аналоговой и цифровой подсхем, специфика влияния производственных дефектов на их работу и необходимость совместной проверки обеих подсхем, оперирующих сигналами разных видов, и др.

Перспективным направлением современного проектирования ИС является разработка и реализация методик, позволяющих еще в процессе проектирования устройства формировать для него сценарий тестовых мероприятий, – тестопригодное проектирование (*DFT – Design-for-Testability*). Реализация данного подхода предусматривает выработку и обеспечение условий эффективного тестирования произведенных ИС, использование внутри проекта тестирующих подсхем или, основываясь на результатах схмотехнического анализа, осуществление специального преобразования исходной схемы с целью повышения контролируемости ее параметров. Современные средства САПР (*Cadence, Synopsis, Siemens*) реализуют *DFT*-подход для цифровых ИС, поскольку для данных схем существуют эффективные модели неисправностей, средства автоматизированного формирования тестов и анализа выходных откликов, решения организации и проведения внутрисхемного тестирования, стандарты граничного сканирования (*IEEE 1149.1, 1149.6* и др.). При этом наблюдается отсутствие полнофункциональных средств САПР, поддерживающих тестопригодное проектирование аналоговых и аналого-цифровых ИС. Во многом это обусловлено отсутствием универсальных методик тестирования и диагностики аналоговых схем, а также сложностью сопряжения методов тестирования цифровых подсхем с существующими методами тестирования аналоговых подсхем АЦИС.

Отечественная прикладная наука добилась успехов в разработке методов и средств параметрического контроля интегральных схем. Идеи и методы контроля, связанные с вопросами комплексного обеспечения надежности и качества полупроводниковых приборов и интегральных схем, изложены в работах известных отечественных ученых: Н.Н. Горюнова, Ю.Г. Миллера, А.А. Чернышева, Т.И. Алексаняна, Я.В. Малкова и др.; теоретические основы технической диагностики – в работах В.В. Карибского, П.П. Пархоменко, Е.С. Согомонян, В.Ф. Халчева и др.; основы тестирования и диагностики электронных устройств – в работах Р.С. Гольдмана, Н.В. Евтушенко, В.П. Чипулиса, Ю.В. Малышенко, С.Г. Шаршунова и др. Основы автоматизации проектирования электронных схем и систем изложены в работах А.Л. Стемповского, В.Н. Ильина, Г.Г. Казеннова, И.П. Норенкова, В.П. Корячко, В.М. Курейчика, К.О. Петросянца, В.П. Сигорского, и др. Среди зарубежных ученых, внесших свой вклад в разработку методов и средств тестирования и диагностики аналоговых и аналого-цифровых интегральных схем, следует выделить: Дж. Бэндлер, Б. Каминску, Б. Куртуа, А.Э. Саламу, М. Реновелл, Л. Милор, М. Сому, М. Сачдев, Б. Виннакоту и др.

Реализация подхода тестопригодного проектирования АЦИС сопряжена с синтезом и анализом возможных вариантов организации отдельного и совместного тестирования аналоговой и цифровой подсхем с учетом их функциональных особенностей, а также с выбором по заданному критерию наиболее подходящего варианта из

множества рассмотренных. Включение в оригинальную схему тестирующих подсхем (ТП) требует дополнительной площади кристалла и связано с определенными затратами. Однако ТП позволяют обнаруживать неисправности и определять причины их появления на ранних стадиях процесса производства ИС. Данные о неисправностях, полученные от ТП, позволяют принять меры по устранению причин их возникновения за счет внесения изменений в проект или технологический процесс, сокращая число итераций при прототипировании. Автоматизация проектных процедур в рамках *DFT*-подхода обеспечивает выбор эффективного тестового решения, использование которого позволяет при дополнительных затратах на его реализацию сократить общие затраты времени и средств на организацию и проведение тестирования производимых ИС. Развитие средств автоматизации тестопригодного проектирования аналого-цифровых ИС, обеспечивающих в рамках сквозного маршрута проектирования выбор эффективных тестовых решений, – актуальная проблема в области проектирования современных ИС.

Объект исследования – подсистема тестопригодного проектирования САПР аналого-цифровых ИС, обеспечивающая автоматизацию проектных процедур синтеза, анализа и выбора эффективных способов тестирования и тестирующих подсхем.

Предмет исследования – методы тестопригодного проектирования АЦИС, средства математического моделирования, структурные решения тестопригодного проектирования аналоговых и цифровых подсхем.

Цель работы – обобщение и развитие теории и методологии автоматизации тестопригодного проектирования аналого-цифровых интегральных схем, охватывающих совокупность математических моделей, методов, подходов, алгоритмов и структурных решений. Для достижения данной цели в работе поставлены и решены следующие задачи, направленные на развитие математического, методического, информационного и программного обеспечения подсистемы тестопригодного проектирования САПР аналого-цифровых интегральных схем:

1 Классификация неисправностей и методов тестопригодного проектирования аналого-цифровых интегральных схем; анализ возможностей средств коммерческих САПР для автоматизации тестопригодного проектирования АЦИС.

2 Декомпозиция маршрута тестопригодного проектирования аналоговых и цифровых подсхем АЦИС для построения множества базовых операций, обеспечивающих формирование тестов и выбор тестовых механизмов.

3 Анализ способов организации иерархического тестирования и диагностики неисправностей АЦИС на уровне отдельных функциональных блоков, аналоговой и цифровой подсхем и устройства в целом.

4 Формализация методологии автоматизации тестопригодного проектирования АЦИС на уровне математического, информационного и методического обеспечения

САПР.

5 Формирование множества математических моделей структурных решений внутрисхемного тестирования аналоговых и цифровых подсхем АЦИС.

6 Формирование критериев оценки эффективности методов тестирования и диагностики неисправностей с учетом функциональных и структурных особенностей проектируемой АЦИС.

7 Исследование методов тестирования аналоговых подсхем, основанных на функциональном преобразовании оригинальной схемы за счет реконfigurирования.

8 Разработка и исследование метода диагностики неисправностей аналого-цифровых интегральных схем в ассоциативном режиме.

9 Экспериментальная проверка методологии автоматизации тестопригодного проектирования АЦИС.

Методы исследования. Для решения поставленных задач в диссертационной работе использованы методы теории САПР, системного анализа, теории электрических цепей и теории радиотехнических сигналов, методы математического моделирования схем, элементы теории функций комплексных переменных, теории чувствительности, методы линейной алгебры, элементы теории вероятностей и математической статистики, методы параллельных вычислений и машинного обучения.

Научная новизна работы. Новые научные результаты, полученные в работе, состоят в следующем:

1 Разработана методология автоматизации тестопригодного проектирования АЦИС (как элемент методического обеспечения САПР), предназначенная для реализации нового класса САПР для аналого-цифровых ИС, позволяющая создавать и применять математические модели, методы и алгоритмы тестопригодного проектирования, отличительная особенность которой – возможность обеспечивать формирование тестов и выбор тестовых механизмов одновременно для цифровой и аналоговой подсхем АЦИС в рамках сквозного маршрута проектирования (стр. 73-160) (Пункт 1 паспорта специальности 05.13.12).

2 Предложен и реализован метод синтеза тестовых программ в виде сети автоматов (как элемент методического обеспечения САПР), предназначенный для генерации тестов с различной разрешающей способностью, позволяющий организовывать иерархическое тестирование АЦИС, отличительная особенность которого – возможность планировать и выполнять раздельное и совместное тестирование аналоговой и цифровой подсхем (стр. 164-169) (Пункт 2 паспорта специальности 05.13.12).

3 Предложен и исследован способ автоматизации моделирования неисправностей АЦИС (как элемент методического обеспечения САПР), предназначенный для оценки влияния неисправностей на поведение проектируемой схемы и построения справочников неисправностей, отличительная особенность которого – использование параллельной парадигмы (стр. 113-118) (Пункт 2 паспорта специальности 05.13.12).

4 Разработаны и реализованы математические модели структурных решений тестопригодного проектирования (как элемент математического обеспечения САПР), предназначенные для синтеза тестопригодных АЦИС, позволяющие организовывать внутрисхемное тестирование и диагностику неисправностей аналоговой и цифровой подсхем, отличительная особенность которых – возможность использования на ранних стадиях процесса проектирования АЦИС для обеспечения иерархического, в т.ч. совместного, тестирования аналоговой и цифровой подсхем (стр. 201-212, 266-306) (Пункт 3 паспорта специальности 05.13.12).

5 Разработана и реализована методика автоматизированного проектирования тестирующих подсхем для встроенного самотестирования аналоговых подсхем АЦИС, основанная на реконфигурировании оригинальной схемы в автогенератор, предназначенная для синтеза тестопригодных аналоговых подсхем, позволяющая отказаться от использования генераторов входных тестовых воздействий, отличительная особенность которой – автоматизация выбора способа реконфигурации и возможность проведения в выделенном режиме внутрисхемного тестирования аналоговой подсхемы совместно с цифровой подсхемой (стр. 175-201) (Пункт 2 паспорта специальности 05.13.12).

6 Предложена и исследована методика реализации справочника неисправностей аналоговых подсхем АЦИС на основе искусственной нейронной сети (как элемент информационного обеспечения САПР), предназначенного для организации компактного хранения большого объема выходных откликов на тестовые воздействия исправной схемы и для каждого вида рассматриваемых неисправностей, позволяющего решать задачу функционального тестирования и диагностики неисправностей АЦИС, отличительные особенности которого – сокращение времени функциональной диагностики неисправностей, основанной на ассоциативном методе, и формирование признака диагностируемой неисправности в цифровом виде (стр. 223-225) (Пункт 3 паспорта специальности 05.13.12).

7 Предложена методика обучения искусственной нейронной сети в качестве справочника неисправностей, предназначенная для автоматизации процесса построения СН аналоговых подсхем АЦИС, позволяющая учитывать допустимый диапазон разброса параметров внутренних компонентов схемы, отличительные особенности которой – снижение ошибок I и II рода за счет кластеризации входных шаблонов до машинного обучения и возможность вероятностной оценки обнаружения конкретной неисправности в случае двойственных групп (стр. 226-228) (Пункт 3 паспорта специальности 05.13.12).

Практическая ценность. Предлагаемая методология автоматизации тестопригодного проектирования аналого-цифровых ИС согласована с маршрутом проектирования коммерческих САПР и может быть интегрирована в процесс разработки ИС без

существенных расходов, обеспечивая сокращение временных и стоимостных затрат. Разработаны подсистемы САПР, реализующие предложенные модели и алгоритмы. Программные модули автоматизируют процесс принятия решения при выборе тестовой стратегии и тестирующих структур. Реализована библиотека структурных решений тестопригодного проектирования, обладающая открытой архитектурой, что позволяет ее использовать по принципу многократного применения (*Design Reuse*) для различных проектов, в том числе стандартными средствами САПР.

Личный вклад автора заключается в определении цели и задач исследований, формализации методологии автоматизации тестопригодного проектирования АЦИС на уровне математического, информационного и методического обеспечения САПР, детальное описание которого приведено выше в пункте «Научная новизна работы»; разработке ПО подсистем тестопригодного проектирования САПР АЦИС; реализации библиотеки структурных решений тестопригодного проектирования АЦИС; проведении экспериментальных исследований и апробации полученных результатов; подготовке статей и выступлениях на научных конференциях с докладами. Все основные результаты диссертационного исследования получены лично автором. Из 86 публикаций 16 работ написаны в соавторстве, в которых доля участия С. Г. Мосина составляет от 40 до 80 % и непосредственно отражает решение поставленных задач.

Реализация и внедрение результатов работы. Работа по теме диссертации проводилась на кафедре Прикладной математики КФУ в рамках Программы развития федерального государственного автономного образовательного учреждения высшего профессионального образования "Казанский (Приволжский) федеральный университет" на 2010-2019 годы, Программы повышения конкурентоспособности федерального государственного автономного образовательного учреждения высшего образования «Казанский (Приволжский) федеральный университет» на 2013–2020 годы (Проект 5-100); на кафедре вычислительной техники ВлГУ в рамках х/д и г/б НИР, проекта IST 2000–30193 (REASON) Европейской пятой рамочной программы FP5, проектов № 2973 и № 9991 аналитической ведомственной целевой программы «Развитие научного потенциала высшей школы (2009-2010 годы)», проекта № 7.4151.2011 государственного задания Министерства образования и науки РФ. Полученные результаты исследований в виде методологии, методик, моделей, алгоритмов, структурных решений тестопригодного проектирования заказных АЦИС, программного обеспечения подсистемы САПР тестопригодного проектирования внедрены в ООО «ЛабСистемс» (г. Владимир), в/ч 35533 (г. Москва), ЗАО «ИДМ-Плюс» (г. Зеленоград), а также в учебный процесс кафедры ПМ (КФУ) и кафедры ВТ (ВлГУ).

Апробация работы. Основные положения и результаты работы докладывались и обсуждались на следующих семинарах и конференциях:

– Electronic Circuits and Systems Conference (ECS). Slovakia, Bratislava: 2001, 2005;

- Всероссийская научная конференция «Проектирование научных и инженерных приложений в среде MATLAB». Москва, ИПУ РАН: 2002, 2004;
- International Conference «Mixed Design of Integrated Circuits and Systems (MIXDES)». Poland: 1998, 2002, 2004, 2005, 2006;
- Международная научно-техническая конференция «Актуальные проблемы электронного приборостроения». Саратов, СГТУ: 2002, 2010;
- Biennial Conf. on Electronics and Microsystems Technology «Baltic Electronics Conference (BEC)». Estonia, Tallinn: 2002, 2004, 2010;
- Международная научно-техническая конференция «Новые методологии проектирования изделий микроэлектроники». Владимир: 2002, 2003, 2004;
- IEEE East-West Design and Test Symposium (EWDTS). Ukraine: 2003, 2005, 2011; Russia: 2006, 2009, 2010, 2013, 2018; Armenia: 2007; Georgia: 2015; Serbia: 2017; Bulgaria: 2020.
- IEEE International Conference “The Experience of Designing and Application of CAD System in Microelectronics (CADSM)”. Ukraine, Lviv: 2005, 2007, 2011, 2015;
- IEEE 10th European Test Symposium (ETS’05). Estonia, Tallinn: 2005;
- IEEE 18th International Conference on System Engineering (ICSEng’2005). USA, Las Vegas: 2005;
- International Conference “Electronics”. Bulgaria, Sozopol: 2005, 2006;
- Конференция «Управление большими системами». Москва, ИПУ РАН: 2012;
- IEEE 26th International SOC Conference. Germany, Erlangen: 2013;
- Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС)». Зеленоград: 2014, 2016, 2018, 2020;
- IEEE International Symposium on Quality Electronic Design (ISQED). USA, Santa Clara: 2018;
- IEEE Mediterranean Conference on Embedded Computing (MECO). Montenegro: 2015, 2016, 2017, 2018.
- IEEE 28th International Conference Radioelektronika (RADIOELEKTRONIKA). Czech Republic: 2018.

Положения, выносимые на защиту:

1 Методология автоматизации тестопригодного проектирования АЦИС обеспечивает формирование тестов и выбор тестовых механизмов одновременно для цифровой и аналоговой подсхем в рамках сквозного маршрута проектирования.

2 Метод синтеза тестовых программ в виде сети автоматов обеспечивает возможность раздельного и совместного тестирования аналоговой и цифровой подсхем АЦИС.

3 Способ автоматизации моделирования неисправностей АЦИС, основанный

на параллельной парадигме, позволяет сократить временные затраты по сравнению с последовательным моделированием.

4 Методика автоматизированного проектирования тестирующей подсистемы для встроенного самотестирования аналоговой подсистемы АЦИС, основанная на реконфигурировании оригинальной схемы в автогенератор, обеспечивает проведение в выделенном режиме внутрисхемного тестирования аналоговой подсистемы совместно с цифровой подсистемой без использования внешнего генератора аналоговых тестовых сигналов.

5 Методика реализации справочника неисправностей аналоговой подсистемы с использованием искусственной нейронной сети сокращает время диагностики неисправностей, основанной на ассоциативном методе, и формирует признаки диагностируемой неисправности в цифровом виде.

6 Методика обучения нейронной сети в качестве справочника неисправностей снижает ошибки I и II рода за счет кластеризации входных шаблонов до машинного обучения и обеспечивает вероятностную оценку выявления конкретной неисправности в случае двойственных групп.

7 Математические модели структурных решений тестопригодного проектирования обеспечивают синтез тестопригодных АЦИС и возможность совместного тестирования аналоговой и цифровой подсистем.

Публикации по работе. Основные результаты работы опубликованы в двух монографиях, учебном пособии, 23 статьях в российских изданиях из Перечня ВАК РФ для публикации основных научных результатов диссертаций соискателей ученой степени доктора наук, 30 в международных изданиях, входящих в системы цитирования Web of Science и Scopus.

На разработанные подсистемы тестопригодного проектирования САПР аналого-цифровых ИС получены 3 свидетельства о регистрации программ для ЭВМ.

Общее число публикаций по теме диссертации составляет 86 наименований.

Структура работы. Диссертация состоит из введения, семи глав, заключения и двух приложений. Основная часть диссертации изложена на 333 страницах машинописного текста. Диссертация содержит 181 рисунок и 44 таблицы. Библиография включает 172 наименования.

СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность работы, сформулирована цель и поставлены задачи исследования, определена научная новизна и практическая ценность полученных результатов, приведена структура диссертации и основные положения, выносимые на защиту.

В первой главе «Состояние в области интегральных технологий, методов

тестопригодного проектирования и средств САПР. Постановка задач исследований» проведен анализ современных тенденций и технологий проектирования интегральных схем. Представлена статистика по применению подхода тестопригодного проектирования (*DFT – Design-for-Testability*) при разработке современных цифровых, аналоговых и аналого-цифровых ИС. Приведена классификация *DFT*-решений. Показано, что методы внутрисхемного тестирования – эффективное решение для использования в сложных системах, требовательных к безопасности и надежности их функционирования. Продемонстрирована эффективность использования *DFT*-методик на ранних стадиях процесса проектирования ИС, связанная с учетом функциональных особенностей реализуемых устройств. Исследован маршрут проектирования ИС, с использованием поведенческих, структурных и физических моделей. Показаны пути адаптации маршрута проектирования к тестопригодному проектированию ИС. Рассмотрены маршруты тестопригодного проектирования ИС в ведущих САПР мировых лидеров. Проведено сравнение и анализ возможностей тестопригодного проектирования ИС в коммерческих САПР. Отмечено отсутствие в их составе средств автоматизации тестопригодного проектирования аналоговых и аналого-цифровых ИС (АЦИС).

На основе проведенного анализа формулируется направление исследований, заключающееся в развитии средств автоматизации тестопригодного проектирования АЦИС. Ставятся задачи работы, решение которых позволит обеспечить развитие математического, методического, информационного и программного обеспечения подсистемы тестопригодного проектирования САПР АЦИС (Рисунок 1). Глава заканчивается выводами.



Рисунок 1 – Составные части подсистемы тестопригодного проектирования САПР аналого-цифровых ИС

Вторая глава «Методология тестопригодного проектирования аналого-цифровых ИС» посвящена разработке методологии автоматизации тестопригодного проектирования АЦИС, обеспечивающей формирование тестов и выбор тестовых механизмов одновременно для цифровой и аналоговой подсхем в рамках сквозного маршрута проектирования (Рисунок 2). Реализация методологии ориентирована на использование подхода параллелизма с привлечением современных многоядерных и/или многопроцессорных вычислительных систем, что обеспечивает одновременное выполнение проектных процедур с использованием различных предлагаемых методов тестирования аналоговых и цифровых подсхем.

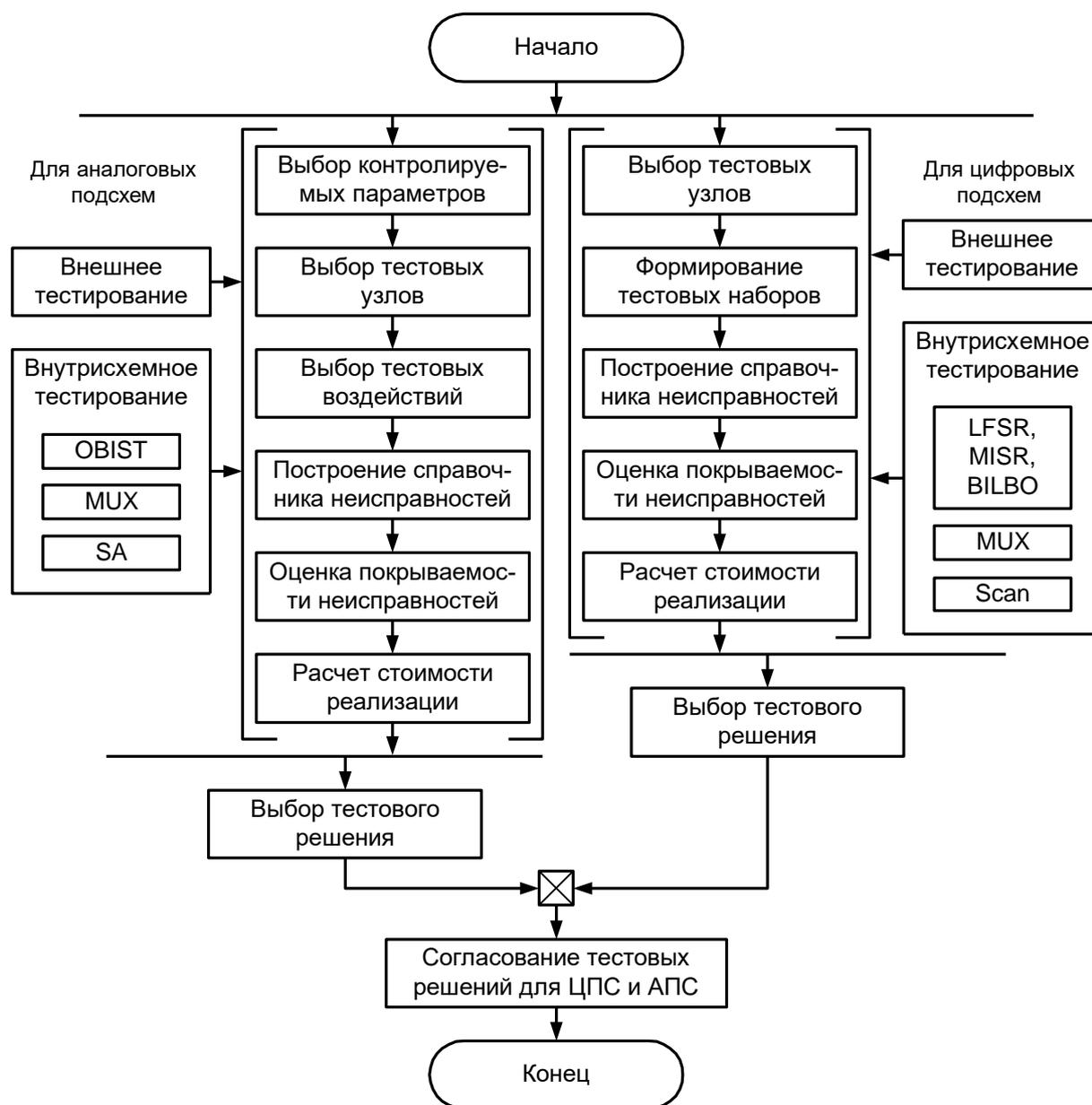


Рисунок 2 – Методология тестопригодного проектирования аналого-цифровых ИС

Для выбора наиболее эффективных методов тестирования аналоговой и цифровой подсхем предложено использовать количественные характеристики

покрываемости неисправностей и результат стоимостного анализа затрат на реализацию. Комплексное тестирование АЦИС обеспечивается согласованием методов, выбранных для цифровой и аналоговой подсхем.

Для аналоговой подсхемы возможен выбор между методом внешнего тестирования и методами внутрисхемного тестирования на основе реконфигурации в автогенератор (*OBIST – Oscillation Built-In Self-Test*), использования мультиплексов, повышающих наблюдаемость внутренних узлов схемы (*MUX*), и методов на основе сигнатурного анализа (*SA – Signature Analysis*).

Для цифровых подсхем предложены методы внешнего тестирования и внутрисхемного тестирования на основе встроенного самотестирования (*LSFR – Linear Shift Feedback Register, MISR – Multi-Input Shift Register u BILBO – Built-In Logic Block Observer*), схем мультиплексирования внутренних узлов (*MUX*) и сканирующих цепей (*Scan*).

На основе системного анализа разработана и предложена функциональная модель автоматизации тестопригодного проектирования АЦИС, основанная на четырех ключевых процессах: моделирование, формирование тестов, формирование тестирующих подсхем и принятие решения (Рисунок 3).

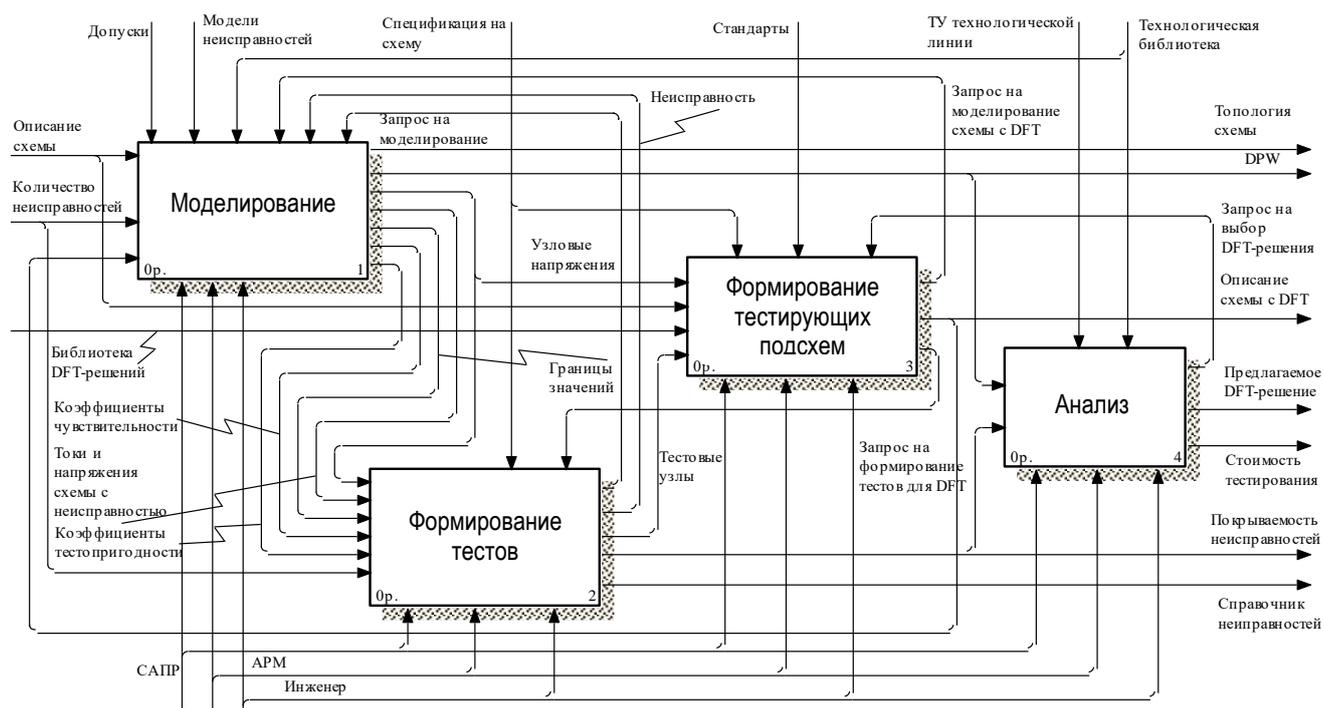


Рисунок 3 – Диаграмма функциональной декомпозиции автоматизации тестопригодного проектирования

Процесс «Моделирование» наряду с традиционными видами анализа электронных схем (анализ по постоянному току, в частотной и временной областях) включает специализированные виды анализа – анализ чувствительности, моделирование неисправностей, метод Монте-Карло и анализ тестопригодности, которые обеспечивают математические основы для решения задач выбора тестовых узлов и

входных тестовых воздействий, построения справочника неисправностей и оценки покрываемости неисправностей.

Представлены математические модели дефектов и неисправностей, позволяющие в ходе моделирования получать информацию о влиянии рассматриваемых неисправностей на общее поведение схемы и отдельные ее характеристики.

Предложен способ автоматизации моделирования неисправностей аналоговых и цифровых подсхем, основанный на параллельной парадигме. Моделирование неисправностей описано тремя основными процессами с разными временными и вычислительными затратами: загрузка задачи в исполнительный узел (T_{load}), выполнение задачи (T_{exec}) и передача результатов в основной узел (T_{tran}). Определены два сценария взаимодействия узлов параллельной вычислительной системы в ходе моделирования неисправностей, использующие *каскадную схему*, когда все три процесса реализуются за один цикл для каждой неисправности, и *отложенную схему*, когда исполнительный узел (ИУ) сохраняет результаты моделирования различных неисправностей и передает набор результатов основному узлу (ОУ) после завершения моделирования всех неисправностей.

Определены временные затраты на моделирование N неисправностей с использованием P исполнительных узлов для каскадной схемы:

$$T_{N,P}^C = \begin{cases} (T_{load} + T_{exec} + T_{tran}) + (N-1)T_{load}, & \text{if } \left\lfloor \frac{N}{P} \right\rfloor = 0; \\ (T_{load} + T_{exec} + T_{tran}) \left\lfloor \frac{N}{P} \right\rfloor + (P-1)T_{load}, & \text{if } M = 0; \\ (T_{load} + T_{exec} + T_{tran}) \left(\left\lfloor \frac{N}{P} \right\rfloor + 1 \right) + (M-1)T_{load}, & \text{if } M \neq 0, \end{cases}$$

и для отложенной схемы:

$$T_{N,P}^D = \begin{cases} (T_{load} + T_{exec}) + (N-1)T_{load} + N T_{tran}, & \text{if } \left\lfloor \frac{N}{P} \right\rfloor = 0; \\ (T_{load} + T_{exec}) \left\lfloor \frac{N}{P} \right\rfloor + (P-1)T_{load} + N T_{tran}, & \text{if } M = 0; \\ (T_{load} + T_{exec}) \left(\left\lfloor \frac{N}{P} \right\rfloor + 1 \right) + (M-1)T_{load} + N T_{tran}, & \text{if } M \neq 0. \end{cases}$$

где M – остаток деления N на P ($M = N \bmod P$); $\left\lfloor \frac{N}{P} \right\rfloor$ – целая часть числа $\frac{N}{P}$; T_{load} –

время загрузки задачи в ИУ; T_{exec} – время моделирования неисправности на ИУ; T_{tran} – время передачи полученных результатов от ИУ к ОУ,

Доказано, что 1) первый сценарий на основе каскадной схемы позволяет сократить общее время моделирования по сравнению с последовательным подходом,

но при этом требует большой объем системы хранения данных на основном узле; 2) второй сценарий на основе отложенной схемы позволяет в меньшей степени сократить общее время моделирования по сравнению с каскадной схемой, но обеспечивает возможность распределенной обработки полученных результатов на каждом исполнительном узле.

Предложены способы выполнения количественного анализа тестопригодности аналоговой и цифровой подсхемы, которые позволяют получить оценку тестопригодности по структурному описанию схемы. Такой анализ обеспечивает возможность количественно оценить тестопригодность каждого узла схемы и построить сечение схемы по уровню тестопригодности. Полученные числовые значения определяют области с низкой тестопригодностью и используются для сравнения эффективности различных методов ее повышения.

Предложены методы выбора тестовых узлов с использованием анализа чувствительности (для аналоговых подсхем) и расчета коэффициента энтропии (для цифровых подсхем). Оба метода позволяют из множества внутренних узлов схемы выбрать минимальное подмножество тестовых узлов, выходные отклики относительно которых предоставляют полную информацию о работоспособности схемы, когда на ее вход подают тестовое воздействие.

Предложен подход к построению справочника неисправностей на основе параметрических таблиц, содержащих значения границ допустимого диапазона для каждого контролируемого параметра в тестовых узлах. Формирование границ допустимого диапазона выполняется с использованием метода Монте-Карло с учетом допусков на параметры внутренних компонентов.

Следующие показатели определены для выбора способа тестирования АЦИС и используемой для этих целей тестирующей подсхемы – эффективность тестирования (величина покрываемости неисправностей) и затраты на организацию и проведение тестирования реализованных ИС.

Введены правила однокритериального и многокритериального выбора тестового решения в ходе автоматизации тестопригодного проектирования АЦИС. В случае однокритериального выбора в качестве целевой функции выступает максимум покрываемости неисправностей с использованием анализируемой тестирующей подсхемы или минимум стоимости на выполнение тестирования с помощью данной тестирующей подсхемы, т.е.

$$\arg \max_i \{FC_i\}, \forall i = 1..k, FC_i \subseteq \mathbf{FC},$$

или

$$\arg \min_i \{C_{total_i}\}, \forall i = 1..k, C_{total_i} \subseteq \mathbf{C_{total}}.$$

Целевые функции для многокритериального выбора –

$$\arg \max_i \{ FC_i \}, \forall i = 1..k, \exists C_{total_i} \leq \min \{ C_{total_j} \} \times \\ \times (1 + Rate_{C_{total}}), \forall j = 1..k, C_{total_j} \subseteq \mathbf{C_{total}}$$

или

$$\arg \min_i \{ C_{total_i} \}, \forall i = 1..k, \exists FC_i \geq \max \{ FC_j \} \times \\ \times (1 - FC_{\min}), \forall j = 1..k, FC_j \subseteq \mathbf{FC},$$

где k – количество рассмотренных *DFT*-проектов; FC_i – величина покрываемости неисправностей для i -го *DFT*-проекта; \mathbf{FC} – множество вычисленных значений покрываемости неисправностей для k *DFT*-проектов; C_{total_i} – величина стоимости тестирования с использованием i -го *DFT*-решения; $\mathbf{C_{total}}$ – множество рассчитанных значений стоимости тестирования для k *DFT*-решений, FC_{\min} – величина минимально допустимой границы покрываемости неисправности и $Rate_{C_{total}}$ – относительная величина допустимого отклонения от минимальной стоимости тестирования. Два последних параметра инженер-разработчик задает в процессе проектирования.

Приведен состав разработанного программного обеспечения, реализующего проектные операции предложенной методологии в подсистеме тестопригодного проектирования САПР АЦИС.

В третьей главе «Метод синтеза тестовых программ в виде сети автоматов для проведения тестирования аналого-цифровых интегральных схем» предложен и реализован метод синтеза тестовых программ в виде сети автоматов, предназначенный для генерации тестов с различной разрешающей способностью, позволяющий организовывать иерархическое тестирование АЦИС.

Показано, что при построении и использовании диагностических тестов применяются иерархическое тестирование, обеспечивающее поиск неисправностей на уровне отдельных компонентов, функциональных блоков (ФБ), подсхем или устройства в целом. Иерархическое тестирование АЦИС направлено на проверку работоспособности аналоговой подсхемы и ее ФБ, цифровой подсхемы и ее ФБ, схем преобразователей АЦП и ЦАП, а также всего устройства в целом. Элементы схемы, участвующие в иерархическом тестировании, образуют множество E . Определен событийный характер процесса тестирования АЦИС в виде совокупности операций подачи тестовых сигналов на вход проверяемого элемента и измерения выходных реакций, на основании которых принимается решение о корректности функционирования схемы.

Введена модель описания процессов тестирования отдельных элементов с использованием конечного автомата следующего вида:

$$S = (A, Z, W, \delta, \lambda, a_0),$$

в котором $A = \{a_0, \dots, a_m, \dots, a_M\}$ – множество состояний, определяющих стадии процесса тестирования; $Z = \{z_1, \dots, z_f, \dots, z_F\}$ – множество входных сигналов управления тестированием и осведомления; $W = \{w_1, \dots, w_g, \dots, w_G\}$ – множество выходных сигналов, управляющих подсистемами автоматизированного тестового оборудования (АТО); $\delta: A \times Z \rightarrow A$ – функция переходов, реализующая отображение $D_\delta \subseteq A \times Z$ в A ; $\lambda: A \times Z \rightarrow W$ – функция выходов, реализующая отображение $D_\lambda \subseteq A \times Z$ в W ; a_0 – начальное состояние автомата.

Предложено процесс совместного тестирования элементов АЦИС представить сетью автоматов $Net = (Z, \{S_i\}, W, \{f_i\}, \{\psi_i\}, g)$, где $\{S_i = (A_i, Z_i, W_i, \delta_i, \lambda_i, a_{i0})\}$, $1 \leq i \leq n$ – множество автоматов; $\{f_i\}$ – множество функций соединения автоматов; $\{\psi_i\}$ – множество входных функций; g – выходная функция сети.

Определены две основные модели описания процесса иерархического тестирования АЦИС: 1) Сеть автоматов, описывающая множество независимых параллельных процессов, обеспечивающих тестирование отдельных компонентов или ФБ аналоговой и цифровой подсхем, а также преобразователей (Рисунок 4, а). 2) Сеть автоматов, описывающая множество параллельных процессов, обеспечивающих совместное, согласованное во времени тестирование ФБ аналоговой и цифровой подсистемы. Согласование во времени реализуется введением в сеть синхронизирующих состояний (Рисунок 4, б).

Показано, что комплексное тестирование всей АЦИС с подачей тестовых сигналов на первичные входы аналоговой и цифровой подсхем и измерением откликов относительно первичных выходов – частый случай модели 2.

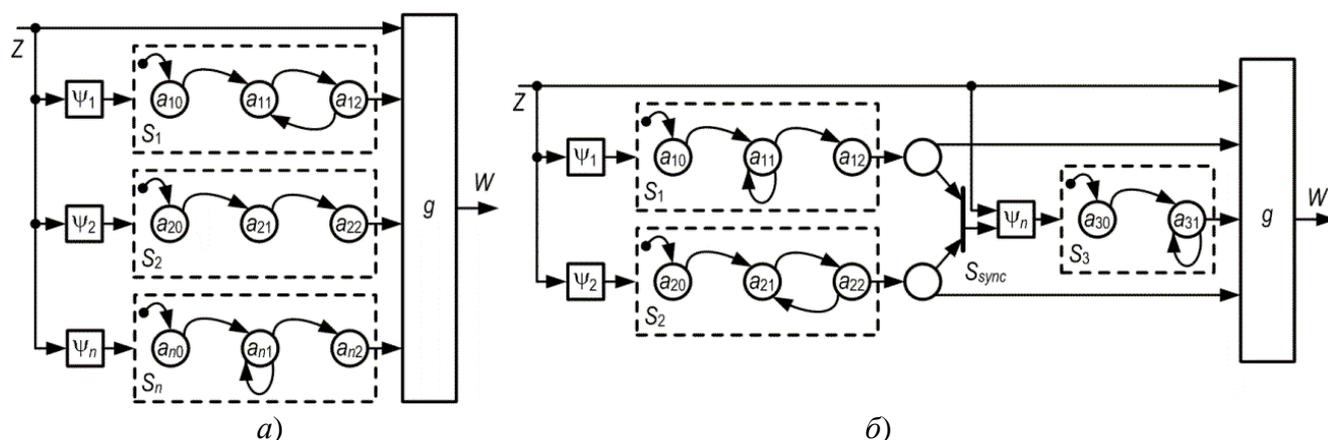


Рисунок 4 – Модель описания процесса тестирования в виде сети:

независимых во времени автоматов (а), согласованных со времени автоматов (б)

Предлагаемый метод синтеза тестовых программ в виде сети конечных автоматов с учетом представленных моделей включает следующий набор операций:

1 Сформировать множество входных и выходных узлов АЦИС (\mathbf{N}), используемых при тестировании, с разделением по функциональному признаку на информационные (подают тестовые данные) и управляющие (подают сигналы управления процессом тестирования) $\mathbf{N} = \mathbf{N}_{\text{in}} \wedge \mathbf{N}_{\text{out}}$,

где $\mathbf{N}_{\text{in}} = \mathbf{N}_{\text{in}}^{\text{data}} \wedge \mathbf{N}_{\text{in}}^{\text{ctrl}}$ – множество первичных информационных и управляющих входных узлов, $\mathbf{N}_{\text{out}} = \mathbf{N}_{\text{out}}^{\text{data}} \wedge \mathbf{N}_{\text{out}}^{\text{ctrl}}$ – множество первичных информационных и управляющих выходных узлов.

2 Методы тестирования для всех элементов АЦИС из \mathbf{E} описать конечными автоматами $\{S_i\}$, учитывающими особенности тестируемой схемы и используемого тестового оборудования.

3 Для множества построенных автоматов $\mathbf{S} = \{S_i\}$ сформировать матрицу использования узлов АЦИС во время тестирования

$$\mathbf{U} = (u_{ij} \in [0,1]), 1 < i \leq sn, 0 < j \leq k,$$

где sn – суммарное количество узлов, используемых \mathbf{S} во время тестирования, k – количество временных точек в ходе тестирования.

4 Для модели 1 определить множество независимых процессов, в которых в ходе тестирования отсутствует конфликт использования узлов

$$\mathbf{IP} = \{IP_i = \{S_p, S_q\} : \forall (p, q), p \neq q, N_{S_p} \cap N_{S_q} = \emptyset\},$$

$$N_{S_p} = \{n : z(n) \in Z \vee w(n) \in W, Z \wedge W \in S_p\},$$

$$N_{S_q} = \{n : z(n) \in Z \vee w(n) \in W, Z \wedge W \in S_q\},$$

где N_{S_p} – множество тестовых узлов, используемых в конечном автомате S_p ; N_{S_q} – множество тестовых узлов, используемых в конечном автомате S_q .

5 Для множеств $IP_i \in \mathbf{IP}$ сформировать параллельную сеть автоматов Net , обеспечивающую одновременное тестирование отдельных компонентов или ФБ аналоговой и цифровой подсхем, а также преобразователей.

6 Выполнить декомпозицию матрицы \mathbf{U} в соответствии с множеством совместно тестируемых ФБ и подсхем. Для модели 2 определить множество согласованных процессов, в которых в ходе тестирования отсутствует конфликт использования узлов

$$\mathbf{AP} = \{AP_i = \{S_p, S_q\} : \forall (p, q), p \neq q, \bar{n}_p \cap \bar{n}_q = \emptyset\},$$

$$\bar{n}_p = \{n_p(t) \in [0,1] : n_p \in N_{S_p}, 0 \leq t \leq t_k\},$$

$$\bar{n}_q = \{n_q(t) \in [0,1] : n_q \in N_{S_q}, 0 \leq t \leq t_k\},$$

где \bar{n}_p – вектор использования узла n_p во время тестирования, \bar{n}_q – вектор использования узла n_q во время тестирования, t_k – конечное время тестирования.

7 Для множеств $AP_i \in \mathbf{AP}$ сформировать сеть автоматов Net , обеспечивающую совместное, согласованное во времени тестирование ФБ аналоговой и цифровой подсистемы. Формируемая сеть может обладать последовательной, параллельной или последовательно-параллельной структурой и при необходимости включать синхронизирующие состояния, обеспечивающие согласование работы автоматов $S_j \in AP_i$ в ходе работы в соответствии с выбранным методом тестирования.

Полученная в результате сеть автоматов обеспечивает детерминированный синтез сигналов управления процессом тестированием АЦИС с различной разрешающей способностью, а также сигналов активизации соответствующих тестовых сигналов. Трансляция полученной сети автоматов в команды и описания, соответствующие формату используемого тестового оборудования, лежит в основе написания тестовой программы для АТО, которая обеспечивает возможность отдельного и совместного тестирования аналоговой и цифровой подсистем АЦИС. Глава заканчивается выводами.

В четвертой главе «Встроенное самотестирование аналоговых схем с реконфигурированием в автогенератор» предложена методика автоматизации тестопригодного проектирования линейных и нелинейных аналоговых схем с использованием метода реконфигурирования оригинальной схемы в автогенератор (*OBIST – Oscillation BIST*), включающая следующие стадии:

- 1 Анализ устойчивости схемы.
- 2 Выбор подсистемы реконфигурирования в автогенератор.
- 3 Оценка длительности переходных процессов в реконфигурированной схеме.
- 4 Расчет (оценка) частоты автоколебаний при номинальных значениях параметров внутренних компонентов исходной схемы.
- 5 Оценка диапазона изменения частоты автоколебаний с учетом допусков на параметры внутренних компонентов исходной схемы с применением метода Монте-Карло.
- 6 Оценка покрытия неисправностей на моделях.
- 7 Измерение частоты самовозбуждения тестируемой схемы.
- 8 Анализ на попадание измеренной частоты в диапазон допустимых значений и принятие решения о работоспособности схемы.

Определены условия применимости данного метода и правила выбора схемы реконфигурирования в автогенератор с использованием различных структурных решений: разрыв внутренних цепей электронными ключами, формирование подключаемыми ключами необходимых значений коэффициента усиления активного

нелинейного элемента и включение дополнительной обратной связи.

Введены условия обеспечения незатухания колебаний автогенератора, в соответствии с которыми необходимо выбирать такое решение по реконfigurированию оригинальной схемы, чтобы добротность принимала максимально большое значение, при этом величина резонансной частоты не изменялась, т.е.

$$\omega_p(\mathbf{p}_1) = \text{const}, Q_p(\mathbf{p}_2) \rightarrow \infty \mid \exists \tilde{\mathbf{p}}, \mathbf{p}_1 \cap \tilde{\mathbf{p}} = 0, \mathbf{p}_1 \subseteq \mathbf{p}, \mathbf{p}_2 \subseteq \mathbf{p},$$

где $\tilde{\mathbf{p}}$ – множество параметров внутренних компонентов схемы, изменяющихся в режиме тестирования, \mathbf{p} – множество параметров внутренних компонентов схемы.

Представлен способ оценки покрытия неисправностей на моделях. По результатам моделирования исправной схемы и схемы с неисправностями формируется таблица неисправностей, содержащая признак прохождения теста. При моделировании использован метод Монте-Карло, позволяющий учитывать отклонения параметров внутренних компонентов от номинальных значений, что обеспечивает адекватность моделей реальным полупроводниковым структурам.

Для моделирования определен набор неисправностей – **FS**, включающий катастрофические и параметрические неисправности,

$$\mathbf{FS} = \mathbf{FSc} \cup \mathbf{FSp},$$

где **FSc** – подмножество катастрофических неисправностей, **FSp** – подмножество параметрических неисправностей.

Задано, подмножество катастрофических неисправностей (**FSc**) включает неисправности типа обрыва цепи и короткого замыкания, возникающие на внутренних компонентах схемы, неисправности короткого замыкания внутренних узлов схемы и обрыва цепи внутренних проводных путей и является конечным, т.е.

$$\mathbf{FSc} = \{ ftc_i \}, i = 1..N,$$

$$N = 2n_c + n_n + n_p,$$

где N – количество рассматриваемых одиночных катастрофических неисправностей, n_c – количество компонентов аналоговой подсхемы, n_n – количество узлов аналоговой подсхемы, n_p – количество внутренних проводных путей аналоговой подсхемы.

Подмножество всех параметрических неисправностей (**FSp**) – бесконечно. Поэтому его ограничивают фиксированной выборкой неисправностей, полученных в результате отклонения параметров внутренних компонентов от их номинальных значений на величину, расположенную вне допустимого диапазона и не обеспечивающую эффект катастрофической неисправности.

Определено правило формирования таблицы неисправностей (**FT**) на основе значений измеренного контролируемого параметра – частоты автоколебаний f_{OSC_i} ,

полученных в результате моделирования оригинальной схемы и схемы с неисправностями, по которому каждая i -я строка таблицы включает два поля – наименование заданной неисправности из **FS** ($ft_i \subseteq \mathbf{FS}$) и признак p_i , определяемый из условия:

$$p_i = \begin{cases} 0, & \text{если } f_{osc_i} \subset [f_{osc}^{\min}, f_{osc}^{\max}], \\ 1, & \text{если } f_{osc_i} \not\subset [f_{osc}^{\min}, f_{osc}^{\max}]. \end{cases}$$

Значения таблицы неисправностей предложено использовать для вычисления покрываемости неисправностей (FC)

$$FC = \sum_{i=1}^N p_i / N; \quad N = |\mathbf{FS}|,$$

где $|\mathbf{FS}|$ – мощность множества рассматриваемых неисправностей **FS**.

Проведены экспериментальные исследования предложенной методики на схемах активных фильтров. Моделирование неисправностей показало, что предложенное решение для рассмотренных примеров обеспечивает выявление до 100 % катастрофических неисправностей и свыше 70 % параметрических неисправностей, что не уступает методам функционального тестирования. При этом, позволяет отказаться от использования генераторов тестовых сигналов, сократить время тестирования за счет контроля одного параметра, обеспечивая тем самым снижение стоимостных затрат на тестирование аналоговой подсхемы.

Предложено структурное решение внутрисхемной реализации тестирования аналого-цифровых ИС. Разработаны структурные и принципиальные схемы реализации тестирующей подсхемы. В качестве контролируемой величины вместо частоты автоколебаний предложено рассматривать соответствующий ей бинарный код, пропорциональный длительности периода. Относительная погрешность однократного измерения длительности периода реализованной тестирующей подсхемой равна:

$$\delta_T = \pm \left(\delta_{f_{clk}} + \frac{1}{N} \right) = \pm \left(\delta_{f_{clk}} + \frac{1}{f_{clk} T} \right),$$

где N – количество импульсов опорного сигнала, зарегистрированных счётчиком; $\delta_{f_{clk}}$ – относительная погрешность периода квантующей последовательности. В условиях внутрисхемной реализации и использования кварцевой стабилизации частоты относительной погрешностью периода квантующей последовательности при вычислении погрешности измерения периода можно пренебречь.

Данное решение позволяет использовать признак прохождения теста аналоговой подсхемы совместно с откликами цифровой подсхемы, обеспечивая комплексное тестирование АЦИС. Глава заканчивается выводами.

В пятой главе «Методика реализации справочника неисправности на основе искусственной нейронной сети» предложена методика реализации справочника неисправностей с использованием аппарата искусственных нейронных сетей, позволяющая устранить многие недостатки СН на основе параметрических таблиц. Формируемый в результате СН обеспечивает реализацию внешнего тестирования АЦИС. Описаны математические основы и механизм формирования нейросетевого справочника неисправностей. В качестве контролируемых параметров предложено использовать коэффициенты вейвлет-преобразования (ВП) переходной характеристики схемы в тестовых узлах. Вейвлет-преобразование выходного отклика тестируемой аналоговой схемы позволяет получить информацию обо всех его составляющих с различной степенью детализации. Если коэффициенты вейвлет-преобразования выходных откликов тестируемой схемы не соответствуют коэффициентам исправной схемы, полученным в ходе моделирования в рамках тестопригодного проектирования, то проверяемую ИС признают неисправной, в противном случае – успешно прошедшей тест.

Представлен способ выбора типа материнского вейвлета, обеспечивающего максимальную различимость между коэффициентами ВП выходных откликов исправной и неисправной схемы. Определено, что точность сравнения и соответственно точность тестирования зависят от степени различимости между коэффициентами неисправной и исправной схемы. При оценке различимости важно учитывать влияние на поведение аналоговой схемы допусков на параметры ее внутренних компонентов.

Предложено для выбора материнского вейвлета, обеспечивающего максимальную различимость между коэффициентами ВП выходных откликов исправной и неисправной схем, использовать нормализованную Эвклидову метрику

$$D = \sqrt{\frac{1}{N} \sum_{k=1}^N \left(\frac{C_k^f - C_k^{ff}}{C_k^{ff}} \right)^2}, \quad (1)$$

где N – количество используемых коэффициентов вейвлет преобразования; C_k^{ff} – коэффициенты ВП исправной схемы; C_k^f – коэффициенты ВП неисправной схемы.

Введен критерий выбора типа материнского вейвлета, используемый для получения коэффициентов ВП, применяемых для обучения нейронной сети и последующего тестирования аналоговой схемы, – максимум Эвклидовой метрики (1)

$$\arg \max_i \{ D_i \}, D_i \subseteq \mathbf{D}, i = 1..m,$$

где \mathbf{D} – множество значений Эвклидовой метрики, рассчитанной при использовании различных материнских вейвлетов; D_i – величина Эвклидовой метрики,

рассчитанная при использовании i -го материнского вейвлета; m – количество рассмотренных материнских вейвлетов.

Не все коэффициенты ВП одинаково полезны для определения различий откликов одних состояний схемы от откликов других состояний. Использование большого числа коэффициентов на входе НС, в том числе незначущих, приводит к росту сложности и вычислительным затратам на обучение. Кроме того, может спровоцировать проблемы сходимости или переобучения НС. В этой связи снижение размерности вектора коэффициентов ВП на входе НС за счет выбора из них наиболее значимых – важная задача. Для ее решения предложено использовать метод главных компонент (МГК), суть которого

$$PCA: \mathbf{X} \rightarrow \hat{\mathbf{X}}, \mathbf{X} \in \mathfrak{R}_{N \times M}, \hat{\mathbf{X}} \in \mathfrak{R}_{N \times \hat{M}}, M > \hat{M}.$$

МГК реализуется итерационной процедурой, в которой новые главные компоненты (PC – principal components) добавляются последовательно друг за другом. Для выбора достаточного количества PC предложено использовать следующий критерий:

$$\arg \min_{PC} (ERV_{PC} \geq ERV_{TH}),$$

где ERV_{PC} – объясненная дисперсия; ERV_{TH} – пороговое значение.

В результате выделения существенных характеристик формируется матрица \mathbf{X} коэффициентов ВП для откликов, полученных в ходе моделирования, включающая подмножества коэффициентов для рассматриваемых состояний схемы $\mathbf{X}_i \subseteq \mathfrak{R}(m, r)$, $\mathbf{X}_i \subseteq \mathbf{X}$, $i = 1..k$, где m – количество откликов для i -го состояния схемы, r – количество коэффициентов ВП, k – количество состояний схемы (одно исправное и $k-1$ неисправных).

Определены преимущества нейросетевого справочника неисправностей:

1 Компактное хранение большого объема реакций выходных откликов тестируемой схемы

$$|\mathbf{SL}| \ll (r k),$$

где $|\mathbf{SL}|$ – мощность множества синаптических связей нейросетевого классификатора, r – количество коэффициентов вейвлет преобразования, k – количество состояний схемы (исправное и неисправные).

2 Существенное сокращение времени тестирования и диагностики по сравнению с применением параметрических таблиц

$$T_{ассоц} \ll T_{пол},$$

где $T_{ассоц}$ – время диагностики неисправности в ассоциативном режиме с

использованием нейронной сети, $T_{носл}$ – время диагностики неисправностей при последовательном сравнении со строками параметрической таблицы. Ассоциативный режим работы нейронной сети обеспечивает формирование признака прохождения теста непосредственно после подачи на ее вход вектора существенных характеристик выходных откликов тестируемой схемы.

3 Возможность аппаратной реализации нейросетевого классификатора позволяет осуществлять его интеграцию в тестируемую схему, обеспечивая при этом внутрисхемную качественную диагностику неисправностей за приемлемое время.

Предложена методика обучения нейронной сети для реализации справочника неисправностей, использующая два шага подготовки:

1 Кластеризация существенных характеристик выходных откликов и построение матрицы принадлежности.

На данной стадии все строки матрицы \mathbf{X} , представленные векторами коэффициентов вейвлет-преобразования отдельных выходных откликов, рассматривают как единое однородное множество. Кластеризация обеспечивает группирование их в несколько подмножеств меньшей мощности по критерию максимальной приближенности к соответствующим центроидам. Для выполнения кластеризации данных без учителя предложено использовать алгоритм k -средних. На начальном шаге количество кластеров, на которые будет разбито множество векторов из \mathbf{X} , равно числу состояний схемы. В качестве исходного центроида для каждого кластера i использован вектор среднеарифметических значений коэффициентов вейвлет-преобразования, рассчитанных для подмножества \mathbf{X}_i

$$\mathbf{C}_i(n) = \frac{1}{m} \sum_{j=1}^m \mathbf{X}_i(j, n).$$

В результате алгоритм k -средних возвращает для каждого вектора из \mathbf{X} номер кластера, в который он был включен. На основе полученных значений формируется матрица принадлежности $\mathbf{B} \subseteq \mathfrak{R}(k, k)$, строки которой соответствуют сформированным кластерам, столбцы – состояниям схемы, а элементы $b_{ij} \in \mathbf{B}$ представляют количество векторов, соответствующих состоянию j , в кластере i . Полученные значения матрицы принадлежности позволяют оценить вероятность появления в каждом кластере векторов различных состояний

$$p_{ij} = b_{ij} / \sum_{a=1}^k b_{ia}, i = 1..k, j = 1..k. \quad (2)$$

2 Формирование обучающих наборов и обучение нейронной сети.

Для реализации нейросетевого классификатора предложена трехслойная нейронная сеть прямого распространения. В качестве передаточных функций

использованы гиперболический тангенс во входном и промежуточном слоях, а также логистическая сигмоида в выходном слое. Трехслойная архитектура нейронной сети и выбранные передаточные функции позволяют генерировать нелинейные выпуклые гиперплоскости в пространстве возможных решений. Число нейронов во входном слое выбирают равным количеству используемых коэффициентов вейвлет-преобразований для каждого отклика схемы. Число нейронов в выходном слое задают равным длине выходного вектора, который в цифровом виде представляет результат прохождения теста, что определяет возможность совместного анализа результатов тестирования аналоговой и цифровой подсхем.

Для обучения нейронной сети использован алгоритм с учителем, при котором с каждым вектором коэффициентов, прикладываемым к нейронам входного слоя, ассоциируют вектор, содержащий данные о номере соответствующего состояния схемы и номере кластера. В качестве входных векторов выступают строки матрицы **X**. Выходной вектор **O** включает два поля. В первом содержится бинарный код номера кластера (нумерация начинается с 1), а во втором – признак неисправности (все разряды поля принимают значение 0 кроме разряда j , соответствующего j -му состоянию схемы, который содержит 1)

$$\mathbf{O} = [o_1 \dots o_p, o_{p+1} \dots o_{p+j} \dots o_{p+k}], o_i \in [0,1], \\ i = 1..p+k, j = 1..k, p = \lceil \log_2(k+1) \rceil.$$

В ходе обучения значения выходных нейронов становятся максимально чувствительными к значениям приложенных коэффициентов входных векторов. Для предложенного способа представления признака неисправности в условиях перекрытия входных векторов для различных состояний схемы обученная нейронная сеть может формировать неоднозначное значение выходного вектора – появление нескольких единиц в признаке неисправности. В данном случае классификация состояния схемы, а, следовательно, и диагностирование неисправности, возможно с точностью до двойственной группы. При этом, по выражению (2), используя номер кластера из кода в выходном векторе и матрицу принадлежности, можно представить вероятностную оценку появления каждой из неисправностей.

Таким образом, выполнение предварительной кластеризации позволяет получить дополнительную статистическую информацию о расположении и соотношении входных векторов различных состояний схемы, которая используется при обучении нейронной сети. Снижение неоднозначности обучающих наборов за счет локализации областей перекрытия позволяет устранить проблемы сходимости процесса обучения нейронной сети, а также повысить качество диагностирования неисправностей за счет снижения ошибок I и II рода.

Единожды обученная таким образом нейронная сеть может быть использована для выполнения диагностики аналоговых и аналого-цифровых схем, позволяя выявлять также те неисправности, выходные отклики схемы для которых не были использованы в процессе обучения.

Приведены результаты экспериментальных исследований по использованию нейросетевого справочника неисправностей (СН) для тестирования и диагностики неисправностей аналоговых активных фильтров. Показана возможность применения предложенной методики для построения СН, включающего отклики аналоговой и цифровой подсхем, для АЦИС. Полученные в ходе экспериментальных исследований результаты показали высокую эффективность применения нейросетевого СН для тестирования и диагностики неисправностей, обеспечивая выявление свыше 99 % катастрофических неисправностей и свыше 75 % параметрических неисправностей. Глава заканчивается выводами.

В шестой главе «Библиотека структурных решений тестопригодного проектирования аналого-цифровых интегральных схем» представлены модели структурных решений внутрисхемного тестирования аналоговых и цифровых подсхем АЦИС, оформленные в виде библиотеки, структура которой приведена на рисунке 5.

В библиотеку включены элементы, обеспечивающие доступ к внутренним узлам схемы с целью повышения их управляемости и наблюдаемости, внутрисхемное формирование тестовых наборов и анализ полученных выходных откликов. Принципиальные схемы элементов реализованы в *Spice*-подобном формате, пригодном для использования в стандартных коммерческих САПР схемотехнического проектирования.

Поведенческие описания выполнены на языке описания аппаратуры *VHDL*, что обеспечивает возможность их подключения в проекты стандартными средствами САПР ПЛИС и САПР сквозного проектирования интегральных схем.

Для аналоговых подсхем предложено использовать коммутирующие подсхемы на основе мультиплексоров, повышающие наблюдаемость и управляемость внутренних узлов, а также подсхемы встроенного самотестирования с реконфигурированием в автогенератор. Для цифровых подсхем предложены методы внешнего тестирования и внутрисхемного тестирования на основе встроенного самотестирования (*LFSR*, *MISR* и *BILBO*), схем мультиплексирования внутренних узлов (*MUX*) и сканирующих цепей (*Scan*). Библиотека включает поведенческие, структурные и физические модели тестируемых подсхем, представленные на уровне регистровых передач и схемном уровне в виде аппаратно-зависимых поведенческих описаний, принципиальных и структурных схем, топологий.

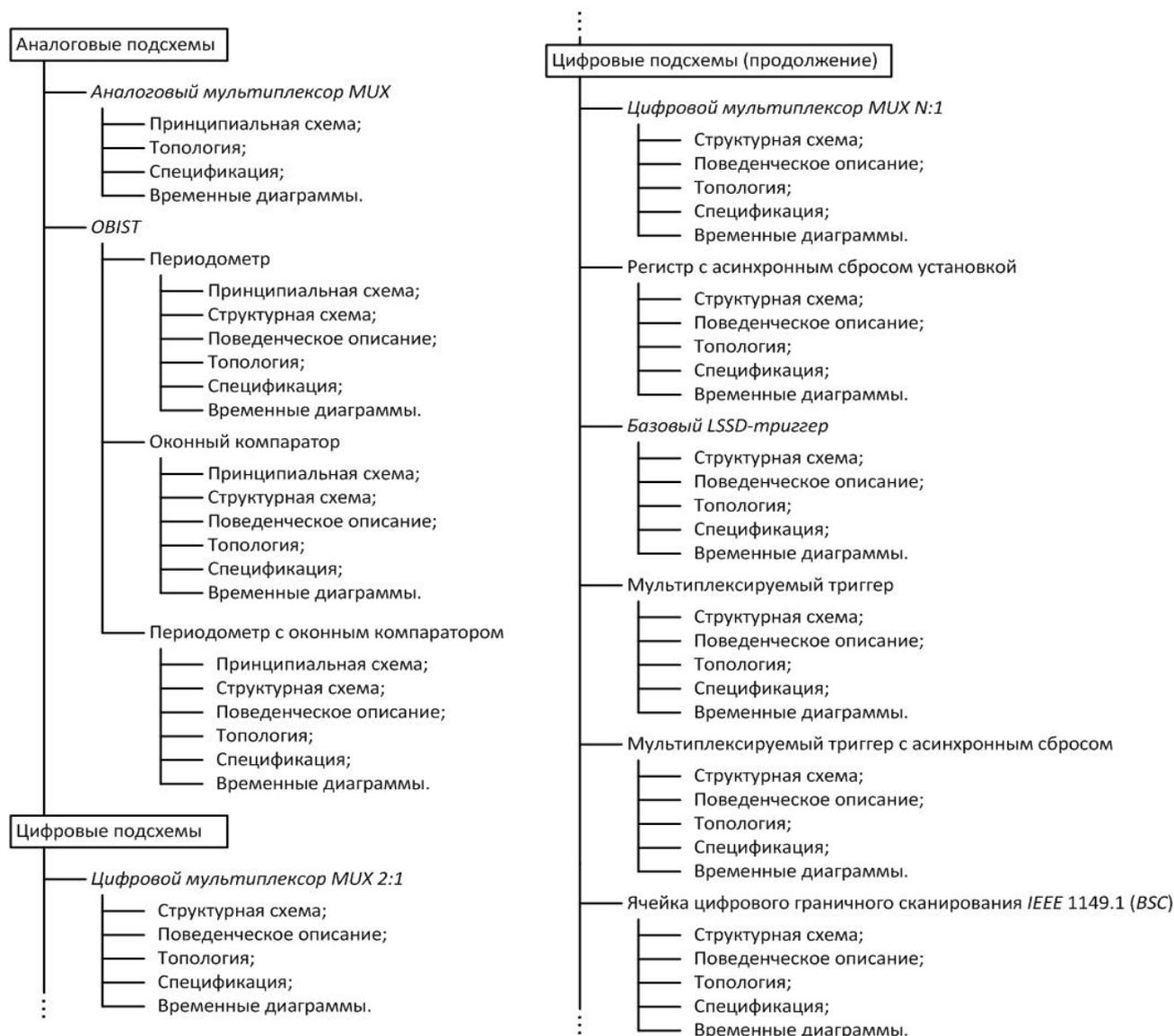


Рисунок 5 – Структура библиотеки тестирующих подсхем

Библиотека организована по иерархическому принципу с использованием древовидной структуры. Библиотечные компоненты и тестирующие подсхемы описаны в виде многократно используемых ядер, что позволяет их применять не только в рамках предложенной в диссертационной работе методологии тестопригодного проектирования АЦИС, но и при проектировании ИС в коммерческих САПР. Открытая модульная архитектура библиотеки обеспечивает условия для ее расширения за счет включения дополнительных тестирующих подсхем.

В седьмой главе «**Экспериментальные результаты тестопригодного проектирования аналого-цифровой ИС**» представлены экспериментальные результаты использования предложенной методологии тестопригодного проектирования АЦИС на примере схемы двухканального аналого-цифрового кодека звуковых частот АДИКМ (G.726).

Проектирование кодека, состоящего из аналоговой и цифровой подсхем, осуществлялось по интегральной технологии КМОП 180 нм с применением

технологической библиотеки HCMOS8D (Рисунок 6). Аналоговая часть включает следующие функционально-законченные элементы:

- микрофонный усилитель (МУ1, МУ2) – 2 шт;
- телефонный усилитель (ТУ1, ТУ2) – 2 шт;
- устройство акустопуска (УА) – 2 шт;
- устройство автоматического регулирования уровня сигнала (АРУ) – 2 шт;
- фильтр высоких частот (ФВЧ) – 2 шт;
- фильтр низких частот (ФНЧ) – 2 шт;
- управление и коммутация функциональных блоков – 1 шт.

Цифровая часть – кодек, реализующий адаптивную дифференциальную импульсно-кодировую модуляцию (АДИКМ).

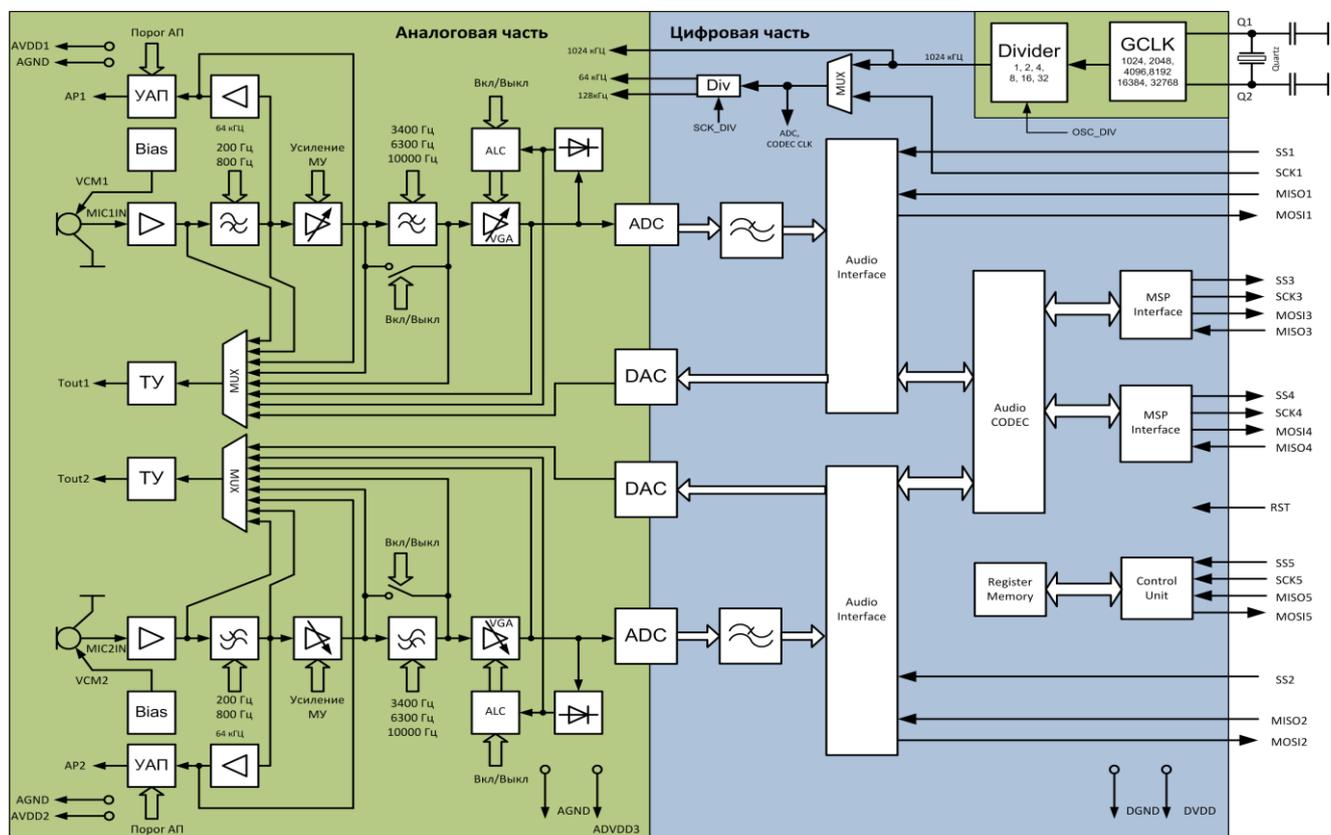


Рисунок 6 – Структурная схема двухканального аналого-цифрового кодека звуковых частот

Выполнение проектных операций, связанных с поиском и выбором способов и средств тестирования аналого-цифровой схемы, осуществлено по иерархическому принципу, обеспечивающему возможность проверки работоспособности каждого функционального блока и устройства в целом.

Во множество рассматриваемых тестовых решений для обеих подсхем включены методы внешнего и внутрисхемного функционального тестирования. Для каждого метода предложены математические модели структурных решений. Выполнена оценка покрываемости неисправностей и анализ стоимости реализации с учетом

конструктивных и технологических ограничений схемы, а также объема производимой партии ИС. Осуществлен выбор способа тестирования по критерию минимума стоимости реализации тестирования и максимума покрываемости возможных неисправностей. Результаты экспериментальных исследований демонстрируют работоспособность и адекватность предложенной методологии автоматизированного тестопригодного проектирования АЦИС, обеспечивающей формирование тестов и выбор тестовых механизмов одновременно для цифровой и аналоговой подсхем. Эффективность подтверждена высокой покрываемостью неисправностей (аналоговая подсхема: до 100 % катастрофических неисправностей и до 87 % параметрических; цифровая подсхема: до 94 % константных неисправностей) и минимизацией стоимостных затрат на реализацию тестирования с использованием выбранных тестирующих подсхем. Глава завершается выводами.

В заключении приведены основные результаты работы.

ЗАКЛЮЧЕНИЕ

Полученные результаты диссертационной работы, обеспечившие разработку и развитие математического, методического, информационного и программного обеспечения подсистемы САПР тестопригодного проектирования аналого-цифровых ИС, состоят в следующем:

1 Разработана и исследована методология автоматизации тестопригодного проектирования АЦИС, обеспечивающая формирование тестов и выбор тестовых механизмов одновременно для цифровой и аналоговой подсхем в рамках сквозного маршрута проектирования.

2 Предложен метод синтеза тестовых программ в виде сети автоматов, обеспечивающий возможность отдельного и совместного тестирования аналоговой и цифровой подсхем АЦИС.

3 Предложен и исследован способ автоматизации моделирования неисправностей АЦИС, основанный на параллельной парадигме, позволяющий сократить временные затраты по сравнению с последовательным моделированием.

4 Разработана методика автоматизированного проектирования тестирующей подсхемы для встроенного самотестирования аналоговой подсхемы АЦИС, основанная на реконфигурировании оригинальной схемы в автогенератор, обеспечивающая проведение в выделенном режиме внутрисхемного тестирования аналоговой подсхемы совместно с цифровой подсхемой без использования внешнего генератора аналоговых тестовых сигналов.

5 Предложена методика реализации справочника неисправностей аналоговой подсхемы с использованием искусственной нейронной сети, сокращающего время диагностики неисправностей, основанного на ассоциативном методе, и формирующего признаки диагностируемой неисправности в цифровом виде.

6 Разработана методика обучения нейронной сети в качестве справочника неисправностей, которая позволят снижать ошибки I и II рода за счет кластеризации входных шаблонов до машинного обучения и обеспечивает вероятностную оценку выявления конкретной неисправности в случае двойственных групп.

7 Разработаны математические модели структурных решений тестопригодного проектирования, обеспечивающие синтез тестопригодных АЦИС и возможность совместного тестирования аналоговой и цифровой подсхем.

ОСНОВНЫЕ ПУБЛИКАЦИИ ПО ТЕМЕ ДИССЕРТАЦИИ

Монографии и пособия

1. Ланцов, В. Н. Современные подходы к проектированию и тестированию интегральных микросхем [Текст]: монография / В. Н. Ланцов, С. Г. Мосин. – Владимир : Изд-во Владим. гос. ун-та, 2010. – 285 с. – ISBN 978-5-9984-0120-6.
2. Мосин, С. Г. Тестопригодное проектирование ИС и электронных устройств [Текст]: учеб. пособие / С. Г. Мосин – Владимир : Изд-во Владим. гос. ун-та, 2009. – 228 с. – ISBN 978-5-89368-927-3.
3. Mosin, S. G. Handbook of Testing Electronic Systems. Chapter 6: Analog Test and Diagnosis [Text] / S.G. Mosin. – Prague : Czech Technical University Publishing House, 2005. – P. 302-331. – ISBN 80-01-03318-X.

Статьи в изданиях из Перечня ВАК РФ для соискателей ученой степени доктора наук по научной специальности 05.13.12 – Системы автоматизации проектирования:

4. Мосин, С. Г. Подсистема САПР тестопригодного проектирования аналоговых схем / С. Г. Мосин // Изв. вузов. Электроника. – 2002. – № 3. – С. 67-73. – ISSN – 1561-5405.
5. Мосин, С. Г. Анализ методов тестопригодного проектирования аналоговых и смешанных ИС [Текст] / С. Г. Мосин // Изв. вузов. Электроника. – 2007. – № 1. – С. 59-64.
6. Мосин, С. Г. Анализ методов встроенного самотестирования аналоговых и смешанных интегральных схем [Текст] / С. Г. Мосин // Изв. вузов. Электроника. – 2007. – № 2. – С. 85-90. – ISSN – 1561-5405.
7. Мосин, С. Г. Структурные решения тестопригодного проектирования заказных интегральных схем [Текст] / С. Г. Мосин // Информационные технологии. – 2008. № 11. – С. 2-10. – ISSN – 1684-6400.
8. Мосин, С. Г. Современные тенденции и технологии проектирования интегральных схем [Текст] / С. Г. Мосин // Информационные технологии. – 2009. № 1. – С. 28-33. – ISSN – 1684-6400.
9. Мосин, С. Г. Модель выбора оптимальной тестовой стратегии и условий тестирования ИС в процессе производства [Текст] / С. Г. Мосин // Приборы и системы. Управление, контроль, диагностика. – 2010. № 1. – С. 8-12. – ISSN – 2073-0004.
10. Мосин, С. Г. Маршрут тестопригодного проектирования электронных устройств в САПР компании Mentor Graphics [Текст] / С. Г. Мосин // Программные продукты и системы. – 2010. № 1. – С. 65-68. – ISSN – 0236-235X.
11. Мосин, С. Г. Исследование модели выбора оптимальной тестовой стратегии для смешанных интегральных схем [Текст] / С. Г. Мосин // Вестник компьютерных и информационных технологий. – 2011. № 6. – С. 24-28. – ISSN – 1810-7206.
12. Мосин, С. Г. Методика тестопригодного проектирования аналого-цифровых схем [Текст] /

С. Г. Мосин // Известия высших учебных заведений. Приборостроение. – 2012. Т. 55. № 5. – С. 19-23. – ISSN – 0021-3454.

13. Мосин, С. Г. Тестирование аналоговых схем с использованием нейросетевого сигнатурного анализатора [Текст] / С. Г. Мосин // Вестник компьютерных и информационных технологий. – 2012. № 10. – С. 3-8. – ISSN – 1810-7206.

14. Мосин, С. Г. Структурное решение встроенного самотестирования аналоговых и смешанных ИС на основе реконфигурирования [Текст] / С. Г. Мосин // Промышленные АСУ и контроллеры. – 2013. № 3. – С. 30-34. – ISSN – 1561-1531.

15. Мосин, С. Г. Библиотека компонентов внутрисхемного тестирования смешанных интегральных схем [Текст] / И.А. Ефремов, М. А. Кисляков // Программные продукты и системы. – 2014. № 1. – С. 187-190. – ISSN – 0236-235X.

16. Мосин, С. Г. Структурное решение тестового генератора для подсистем встроенного самотестирования цифровых схем [Текст] / Н.В.Быханова, С.Г. Мосин // Проблемы разработки перспективных микро- и наноэлектронных систем – 2014. Сборник трудов / под общ.ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2014. Часть IV. С. 95-100.

17. Мосин, С. Г. Методика автоматизации тестопригодного проектирования аналоговых ИС по технологии OBIST [Текст] / С.Г. Мосин // Проблемы разработки перспективных микро- и наноэлектронных систем - 2014. Сборник трудов / под общ.ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2014. Часть I. С. 95-100.

18. Мосин, С. Г. Метод синтеза тестовых программ для аналого-цифровых интегральных схем с применением сети автоматов [Текст] / С.Г. Мосин // Проблемы разработки перспективных микро- и наноэлектронных систем - 2016. Сборник трудов / под общ.ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2016. Часть I. С. 10-16.

19. Мосин, С.Г. Метод снижения размерности обучающих наборов при построении нейроморфного справочника неисправностей для аналоговых интегральных схем [Текст] / С.Г. Мосин // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2018. № 2. С. 59-63.

20. Мосин, С.Г. Поиск рациональной структуры тестового генератора для подсистем встроенного самотестирования цифровых схем [Текст] / Н.В. Быханова, С.Г. Мосин // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). Сборник трудов / под общ.ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН. – 2020. – № 1. – С. 89-94.

Статьи в изданиях из Перечня ВАК РФ для соискателей ученой степени доктора наук по группе научных специальностей 05.13.00 – Информатика, вычислительная техника и управление:

21. Мосин, С. Г. Маршрут проектирования цифровых ЗИС в САПР Mentor Graphics [Текст] / С. Г. Мосин, В. С. Кухарук, С. В. Федоров // Проектирование и технология электронных средств. – 2006. – № 1. – С. 9-12. – ISSN 2071-9809.

22. Мосин, С. Г. Маршрут тестопригодного проектирования заказных интегральных схем [Текст] / С. Г. Мосин // Проектирование и технология электронных средств. – 2010. – № 4. – С. 39-44. – ISSN 2071-9809.

23. Мосин, С. Г. О генерации диагностических тестов на основе таблиц трассировок / С. Г. Мосин, А. А. Кряжев // Вестник Новосибирского государственного университета. Серия: Информационные технологии. – 2012. Том 10. Выпуск 4. – С. 57-62. – ISSN – 1818-7900.

24. Мосин, С. Г. Подход к выбору метода тестирования смешанных интегральных схем на основе стоимостной модели [Текст] / С. Г. Мосин // Управление большими системами. Выпуск 41. М.: ИПУ РАН. – 2013. – С. 344-356. – ISSN 1819-2440.

25. Мосин, С. Г. Метод формирования тестовых программ в виде сети конечных автоматов для проведения тестирования аналого-цифровых интегральных схем [Текст] / С. Г. Мосин // Динамика

сложных систем – XXI век. – 2015. – Т. 9. – №3. – С. 29-35. – ISSN 1999-7493.

26. Мосин, С.Г. Оптимизация построения нейроморфного справочника неисправностей для тестирования и диагностики аналоговых интегральных схем / С.Г. Мосин // Вестник томского государственного университета. Управление, вычислительная техника и информатика. – 2019. – № 48. – С. 103-111.

Статьи в изданиях, индексируемых в Scopus и Web of Science

27. Mosin, S. G. A Built-in Self-Test Circuitry Based on Reconfiguration for Analog and Mixed-Signal IC [Text] / S. G. Mosin // Information Technology and Control. – 2011. Vol. 40. No. 3. – P. 260-264. – ISSN 1392-124X. (Q2)

28. Mosin, S. A technique of analog circuits testing and diagnosis based on neuromorphic classifier / S. Mosin // Advances in Intelligent Systems and Computing. – 2016. – Vol. 425. – P. 381-393. – ISSN 2194-5357. (Q3)

29. Mosin, S. Analogue Integrated Circuits Design-for-Testability Flow Oriented onto OBIST Strategy [Text] / S. Mosin // Information Technology and Control. – 2018. Vol. 47. No. 3. – P. 521-531. – ISSN 1392-124X. (Q2)

30. Mosin, S. Machine Learning and Data Mining Methods in Testing and Diagnostics of Analog and Mixed-Signal Integrated Circuits: Case Study [Text] / S. Mosin // Communications in Computer and Information Science. – 2019. – Vol. 968. – P. 240-255. – ISSN 1865-0929. (Q3)

31. Mosin, S. G. On the Construction of Neuromorphic Fault Dictionaries for Analog Integrated Circuits [Text] / S. Mosin // Russian Microelectronics. – 2019. – Vol. 48. No. 5. – P. 310-317. – ISSN 1063-7397. (Q3)

32. Mosin, S. G. An Approach to Synthesis of the Neuromorphic Functional Models for Analog Components and Blocks [Text] / S. Mosin // Lecture Notes in Computational Science and Engineering. – 2021. – Vol. 141. – P. 301-312. – ISSN 1439-7358. (Q1)

33. Mosin, S. G. Behavioral description of electronic devices and its implementation in VHDL-AMS [Text] / S. G. Mosin, M. A. Trofimov, V. N. Lantsov // 8th Biennial Conf. on Electronics and Microsystems Technology (Baltic Electronics Conf.): Conference Proceedings. – Tallinn : Tallinn Techn. Univ., 2002. – P. 211-214. – ISBN 9985-59-292-1.

34. Mosin, S. G. The Realization of Algorithmic Description on VHDL-AMS [Text] / S. G. Mosin, M. A. Trofimov // Proc. of Int. Conf. TCSET'04 : Conference Proceedings. – Slavsko, Ukraine, 2004. – P. 350-353. – ISBN 966-553-380-0.

35. Mosin, S. G. The Tool for Training in the Area of Analogue Circuits Test and Diagnosis [Text] / S. G. Mosin // 11th Int. Conf. Mixed Design of Integrated Circuits and Systems : Conference Proceedings. – Szczecin, Poland, 2004. – P. 511-516. – ISBN 83-919289-7-7.

36. Mosin, S. G. TeDiAC: the CAD Tool for Studying Approaches to Test and Diagnosis of Analogue Circuits / S. G. Mosin // Proc. of 9th Biennial Conference on Electronics and Microsystems Technology. Baltic Electronic Conference – BEC'2004. October 7-10, 2004, Tallinn, Estonia, 4 p.

37. Mosin, S. G. Neural Network-based Signature Classifier for Functional Testing of Analogue Circuits [Text] / S. G. Mosin // Proc. of 8th Conference the Experience of Designing and Application of CAD System in Microelectronics – CADSM'05, Lviv – Polyana, Ukraine, 2005. – P. 380-382.

38. Mosin, S. G. Extraction of Essential Characteristics of Analog Circuits' Output Responses Required for Signature Analysis [Text] / S. G. Mosin // Proc. of IEEE East-West Design and Test Workshop (EWDTW'2005). – Odessa, Ukraine, 2005. – P. 269-270.

39. Mosin, S. G. A Neural Network Approach to Functional Test of Analogue Circuits [Text] / S. G. Mosin // Proc. of 12th Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES'2005). – Poland: Krakow, 2005. – P. 391-396.

40. Mosin, S. G. Neural Network-Based Technique for Detecting Catastrophic and Parametric Faults

in Analog Circuits [Text] / S. G. Mosin // Proc. of IEEE 18th International Conference on System Engineering (ICSEng'2005). – Las Vegas, Nevada, USA, 2005. – P. 224-229. – ISBN 0-7695-2359-5.

41. Mosin, S. G. Economics Modeling the DFT of Mixed-Signal Circuits [Text] / S. G. Mosin // Proc. of IEEE East-West Design and Test Workshop (EWDTW'2006). – Sochi, Russia, 2006. – P. 236-238. – ISBN 966-659-124-3.

42. Mosin, S. G. Selecting the Most Efficient DFT Techniques of Mixed-Signal Circuits Based on Economics Modeling [Text] / S. G. Mosin // Proc. of IEEE East-West Design and Test Symposium (EWDTW'2007). – Yerevan, Armenia, 2007. – P. 158-161.

43. Mosin, S. G. The Features of Integrated Technologies Development in Area of ASIC Design [Text] / S. G. Mosin // Proc. of 9th Conference the Experience of Designing and Application of CAD System in Microelectronics – CADSM'07, Lviv – Polyana, Ukraine, 2007. – P. 292-295. – ISBN 966-533-587-0.

44. Mosin, S. G. The Model of Selecting Optimal Test Strategy and Conditions of ICs Testing During Manufacturing [Text] / S. G. Mosin // Proc. of IEEE East-West Design and Test Symposium (EWDTW'2009). – Moscow, Russia, 2009. – P. 54-58.

45. Mosin, S. Technique of Optimal Built-In Self-Test Circuitries Generation [Text] / S. G. Mosin, N. V. Chebykina // Proc. of IEEE East-West Design and Test Symposium (EWDTW'2010). – St.-Peterburg, Russia, 2010. – P. 145-148. – ISBN 978-1-4244-9555-9.

46. Mosin, S. Structural solution of reconfiguration based built-in self-test for analog and mixed-signal IC [Text] / S. G. Mosin // In Proc. of 12th Biennial Baltic Electronics Conference (BEC'2010). Tallinn, October, 2010, P. 141-144. – ISBN 978-1-4244-7357-1.

47. Mosin, S. G. Technique of LFSR Based Test Generator Synthesis for Deterministic and Pseudorandom Testing [Text] / S. G. Mosin, N. V. Chebykina, M. S. Serina // Proc. of 11th Conference the Experience of Designing and Application of CAD System in Microelectronics – CADSM'11, Polyana-Svalyava, Ukraine, 2011. – P. 128-131. – ISBN 978-1-4577-0042-2.

48. Mosin, S. A Subsystem for Automated Synthesis of LFSR-Based Test Generator for Deterministic and Pseudorandom Testing [Text] / S. G. Mosin, N. V. Chebykina, M. S. Serina // Proc. of IEEE East-West Design and Test Symposium (EWDTW'2011). – Sevastopol, Ukraine, 2011. – P. 177-179.

49. Mosin, S. An Approach to Construction the Neuromorphic Classifier for Analog Fault Testing and Diagnosis // Proc. of 4th Mediterranean Conference on Embedded Computing (MECO), Budva, Montenegro, 2015. – P. 258-261. – ISBN 978-1-4799-8999-7.

50. Mosin, S. Test program generation for mixed-signal integrated circuits based on automata network [Text] / S. G. Mosin // Proc. of IEEE East-West Design and Test Symposium (EWDTW'2015). – Batumi, Georgia, 2015. – P. 76-81. – ISBN 978-1-4673-7775-1.

51. Mosin, S. An Approach to Design-for-Testability Automation of Analogue Integrated Circuits Using OBIST Strategy / S. Mosin // Proc. of 5th Mediterranean Conference on Embedded Computing (MECO), Bar, Montenegro, 2016. – P. 211-214. – ISBN 978-9940-9436-6-0.

52. Mosin, S. Automated simulation of faults in analog circuits based on parallel paradigm [Text] / S. G. Mosin // Proc. of IEEE East-West Design and Test Symposium (EWDTW'2017). – Novi Sad, Serbia, 2017. – P. 1-6. – ISBN 978-1-5386-3299-4.

53. Mosin, S. A Technique to Aggregate Classes of Analog Fault Diagnostic Data Based on Association Rule Mining [Text] / R. Dautov, S. Mosin // Proc. of 19th International Symposium on Quality Electronic Design (ISQED). – Santa Clara, CA, USA, 2018. – P. 238-243. – ISBN 978-1-5386-1214-9.

54. Mosin, S. An Approach to Reducing Complexity of Neuromorphic Fault Dictionary Construction for Analogue Integrated Circuits [Text] / S. G. Mosin // Proc. of 28th International Conference Radioelektronika (RADIOELEKTRONIKA). – Prague, Czech Republic, 2018. – P. 1-6. – ISBN 978-1-5386-2485-2.

55. Mosin, S. Entropy-based method of reducing the training set dimension at constructing a

neuromorphic fault dictionary for analog and mixed-signal ICs [Text] / S. Mosin // Proc. of 7th Mediterranean Conference on Embedded Computing (MECO). – Budva, Montenegro, 2018. – P. 1-4. – ISBN 978-1-5386-5683-9.

56. Mosin, S. An Accuracy Improvement of the Neuromorphic Functional Models by Using the Parallel ANN Architecture [Text] / S. Mosin // Proc. of IEEE East-West Design & Test Symposium (EWDTS'2020). – Varna, Bulgaria, 2020. – P. 1-6. – ISBN 978-1-7281-9899-6.

Свидетельства о регистрации программ для ЭВМ

57. Мосин, С.Г. Подсистема расчета тестопригодности аналоговых схем. – Свидетельство о государственной регистрации программы для ЭВМ № 2012610219 – М.: Роспатент, 2012.

58. Мосин, С.Г. Система схемотехнического проектирования аналоговых схем. – Свидетельство о государственной регистрации программы для ЭВМ № 2012610220 – М.: Роспатент, 2012.

59. Мосин, С.Г. Система выбора оптимальной тестовой стратегии и условий тестирования интегральных схем. – Свидетельство о государственной регистрации программы для ЭВМ № 2012661333 – М.: Роспатент, 2012.

Статьи в журналах, сборниках и трудах конференций

60. Mosin, S.G. Introduction to analog circuits testing and diagnosis [Text] / S. G. Mosin // Автоматизированные системы управления и приборы автоматики. Всеукраинский межведомственный научно-технический сборник. Выпуск 122, Харьков, 2003. – С. 104-119.

61. Мосин, С. Г. Подходы тестопригодного проектирования аналоговых интегральных схем [Текст] / С. Г. Мосин // Радиоэлектроника и информатика. – 2003. – №1. С. 49-59. – ISSN 1563-0064.

62. Мосин, С. Г. О построении нейроморфных справочников неисправностей для аналоговых интегральных схем [Text] / С.Г. Мосин // Микроэлектроника, 2019, том 48, № 5, С. 363-370.

63. Mosin, S. A New Opportunity of Using Sensitivity Function for Functional Testing [Text] / S. Mosin, V. Lantsov // 2nd Electronic Circuits and Systems Conference (ECS'01) : Conference Proceedings. – Slovakia : Bratislava, 2001.

64. Mosin, S. G. Functional Testing of Analog Circuits Using Neural Network-Based Signature Analyser [Text] / S. G. Mosin // In Proc. 2nd International Radio Electronic Forum, Vol. III: Proc. of Intern. Conference Information Systems and Technologies (ICIST'2005). – Kharkov, Ukraine, 2005. – P. III-236-III-239.

65. Mosin, S. G. A Neural Network-Based Functional Test Analyser for Analogue and Mixed-Signal Circuits [Text] / S. G. Mosin // In Proc. of 6th Electronic Circuits and Systems Conference (ECS'05). – Slovakia: Bratislava, 2005. – 4 p.

66. Mosin, S. G. An Approach to Analogue Circuits Test Based on Application of Neural Network and Wavelet Decomposition [Text] / S. G. Mosin // In Proc. of International Conference “Electronics’05”, Sozopol, Bulgaria, 2005. – 6 p.

67. Mosin, S. G. Transient Functional Test of Analogue Circuits [Text] / S. G. Mosin // IEEE 10th European Test Symposium Informal Digest of Papers – ETS'05 : Symposium Proceedings. – Estonia : Tallinn, 2005. – P. 39-44.

68. Mosin, S. G. The CAD Tool for Studying of Approaches to Analog Circuits Testing and Diagnosis [Text] / S. G. Mosin // Вестник ТГУ. Приложение. – 2004. – № 9 (I). – С. 168-173.

69. Мосин, С. Г. Выбор метода тестирования смешанных интегральных схем на основе экономической модели [Текст] / С. Г. Мосин // Вестник Костромского государственного университета им. Н.А. Некрасова. – 2008. Том 14. № 2. – С. 29-32.

70. Мосин, С. Г. Тестопригодное проектирование аналоговых и смешанных интегральных схем [Текст] / С. Г. Мосин // Современные информационные технологии. Информационно-измерительные и диагностические системы: Тр. междунар. науч.-техн. конф. – Пенза: Пензенский технологический ин-т, 2000. – С. 61-63.

71. Мосин, С. Г. Диагностика неисправностей в аналоговых ИС [Текст] / С. Г. Мосин // Теория, методы и средства измерений, контроля и диагностики: Тр. междунар. науч.-практ. конф. – Новочеркасск: Южно-Российский гос. техн. ун-т, 2000. – С. 7-8.
72. Мосин, С. Г. Разработка подсистем САПР РЭА в среде MATLAB [Текст] / С. Г. Мосин // Проектирование научных и инженерных приложений в среде MATLAB: Тексты докладов Всероссийской научной конференции. – Москва: ИПУ РАН, 2002. – С. 270-275.
73. Мосин, С. Г. Метод включающего выбора тестовых узлов в аналоговых схемах [Текст] / С. Г. Мосин // Новые методологии проектирования изделий микроэлектроники: Материалы Международной научно-технической Web-конференции. – Владимир: ВлГУ, 2002. С. 55-58.
74. Мосин, С. Г. Тестопригодное проектирование электронных устройств [Текст] / С. Г. Мосин // Новые методологии проектирования изделий микроэлектроники: Материалы 2-й Международной научно-технической Web-конференции. – Владимир: ВлГУ, 2003. – С. 134-136.
75. Мосин, С. Г. Обучающая подсистема САПР тестопригодного проектирования аналоговых схем [Текст] / С. Г. Мосин // Проектирование научных и инженерных приложений в среде MATLAB: Труды Всероссийской научной конференции. – Москва: ИПУ РАН, 2004. – С. 245-261.
76. Мосин, С. Г. Нейросетевой сигнатурный анализатор откликов аналоговых схем [Текст] / С. Г. Мосин // Электронная техника: Межвузовский сборник научных трудов / Под редакцией Д. В. Андреева. Ульяновск: УлГТУ, 2005, С. 81-88. – ISBN 5-89146-726-7.

МОСИН Сергей Геннадьевич

**МЕТОДОЛОГИЯ АВТОМАТИЗАЦИИ ТЕСТОПРИГОДНОГО
ПРОЕКТИРОВАНИЯ АНАЛОГО-ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ СХЕМ**

Автореферат
диссертации на соискание ученой степени
доктора технических наук

Подписано в печать 28.12.21 г. Формат бумаги 60×84 1/16
Бумага офсетная. Печать трафаретная. Тираж 100 экз.